

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-130914

(43)Date of publication of application : 13.05.1994

(51)Int.Cl.

G09G 3/28

(21)Application number : 04-149083

(71)Applicant : NEC CORP

(22)Date of filing : 09.06.1992

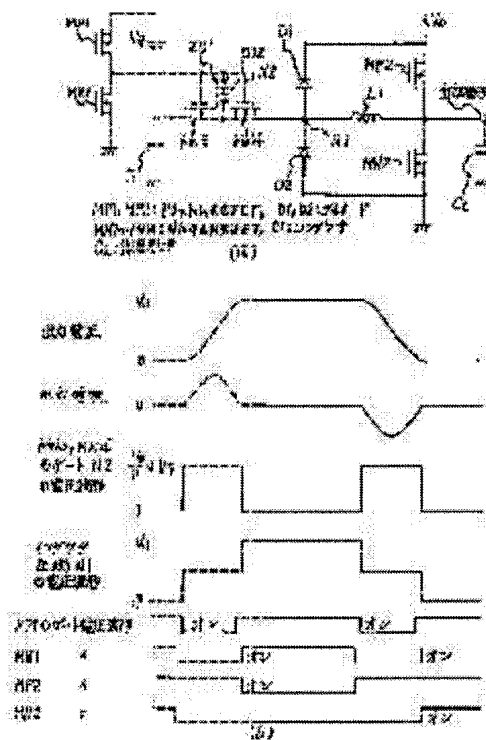
(72)Inventor : TANAKA AKIO

(54) PLASMA DISPLAY DRIVING DEVICE

(57)Abstract:

PURPOSE: To efficiently recover the reactive power of a capacitive load by connecting a two-way switch, where gates and sources of two N-channel MOS transistors TRs are connected to each other respectively, in series to an inductance.

CONSTITUTION: When a first P-channel MOSFET MP1 is turned on, a gate N2 of N-channel MOSFETs MN3 and MN4 rises, and MOSFETs MN3 and MN4 are turned on to constitute a resonance circuit, and the output rises. When the output rises to V_O , a MOSFET MN1 is turned on, the gate N2 falls, and MOSFETs MN3 and MN4 are turned off to disconnect the resonance circuit, and a second P-channel MOSFET MP2 is turned on to fix the output at V_O . At the time of fall of the output, MOSFETs MN3 and MN4 are turned on to constitute the resonance circuit in the same manner, and the MOSFET MN2 is turned on to fix the output at 0V when the output falls to 0V. At this time, all of energy f_{OCLVO2} stored in CL is recovered to e1 by the operation of the resonance circuit.



LEGAL STATUS

[Date of request for examination] 27.12.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number] 2770657

[Date of registration] 17.04.1998

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-130914

(43) 公開日 平成6年(1994)5月13日

(51) Int.Cl.⁵

G 0 9 G 3/28

識別記号

庁内整理番号

F I

技術表示箇所

J 7335-5G

審査請求 未請求 請求項の数 2 (全 5 頁)

(21) 出願番号 特願平4-149083

(22) 出願日 平成4年(1992)6月9日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 田中 昭生

東京都港区芝五丁目7番1号日本電気株式会社内

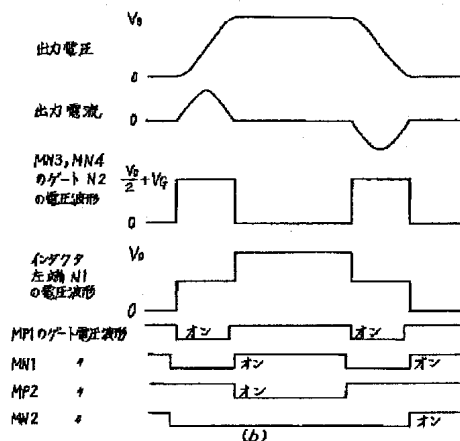
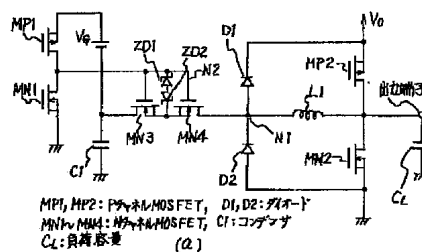
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 プラズマディスプレイの駆動装置

(57) 【要約】

【目的】 容量性負荷の無効電力を効率よく回収しうるプラズマディスプレイ駆動装置を提供することである。

【構成】 高電圧パルス発生器とドライバーICを備え、高電圧パルス発生器は2つのNチャネルMOSトランジスタのそれぞれのゲートどうし、ソースどうしを接続した双方向性スイッチをインダクタに接続した構造を有する。



1

2

【特許請求の範囲】

【請求項1】 高電圧パルス発生器と複数の電極を駆動するドライバーICを有するプラズマディスプレイの駆動装置において、前記高電圧パルス発生器は、2つのNチャネル型MOSトランジスタのそれぞれのゲートどうし、ソースどうしを接続した双方向性スイッチをインダクタンスに直列に接続することを特徴とするプラズマディスプレイの駆動装置。

【請求項2】 前記高電圧パルス発生器の出力をドライバーICの高圧部共通電源端子に接続することを特徴とする請求項1記載のプラズマディスプレイの駆動装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、プラズマディスプレイの駆動装置に関し、特に容量性負荷の無効電力を回収する低電力駆動装置に関する。

【0002】

【従来の技術】従来、この種のプラズマディスプレイの低電力駆動装置は、図6(a)に示すように負荷容量 C_L と、 C_L に比べ十分大きい容量をもつコンデンサ C_1 と、 C_1 から C_L を充電するためのスイッチの役割をするPチャネルMOSFET MP1とダイオードD1と、 C_L を放電するためのスイッチの役割をするNチャネルMOSFET MN1とダイオードD2と、充放電時に C_L と共振回路を形成して無効電力を回収するためのインダクタL1と、出力を V_0 に固定するPチャネルMOSFET MP2と、接地電位に固定するNチャネルMOSFET MN2とを有している(エネルギー・リカバリー・サステイン・サーキット・フォア・ザ・ACプラズマディスプレイ(Energy Recover Sustain Circuit for the AC Plasma Display), L・F・Weber, SID 87 DIGEST, P92-95, 1987参照)。負荷容量 C_L はプラズマディスプレイパネルに存在する対向容量や線間容量等の寄生容量であり、駆動周波数を f_0 とすると、通常なら $f_0 \cdot C_L \cdot V_0^2$ の電力が無駄に消費されてしまう。

【0003】この装置は、この無効電力を回収するものであり、次のような動作をする。図6(b)のように、出力を立上げる場合、MP1をオンにして図7のような等価回路を形成する。L1、 C_L によって構成される共振回路によって出力は V_0 まで立上り、その瞬間にMP2をオンにして出力を V_0 に固定する。逆に出力を立下げの場合、MN1をオンにして図7のような共振回路を構成して出力をOVまで立下げ、MN2をオンにしてOVに固定する。これら一連の動作は、共振回路の動作であり、 C_L を充電したエネルギーは再び C_1 に回収される。又、この動作によって C_1 の電位は、自動的に $V_0/2$ に固定される。

【0004】

【発明が解決しようとする課題】この従来の低電力駆動装置では、電力回収効率を上げるためには、スイッチの働きをするMP1、MN1及び逆流防止のダイオードD1、D2に存在する抵抗を下げる必要がある。しかしながら、PチャネルMOSFETは一般にNチャネル型に比べオン抵抗が高く、オン抵抗を下げようするとベレットサイズを大きくする必要があり、ドレイン・ソース間に存在する寄生容量を増大させる。この寄生容量の充放電の電力は回収されないため効率を悪化させる。

【0005】さらに、ダイオードD1、D2にはダイオード固有の V_f があり、この V_f による損失も比較的大きな効率の悪化につながる。特に100Vを越えるスイッチングを行う時、 V_f が比較的小さいショットキーバリアダイオードが使えないため、問題はさらに重大となる。さらに、複数の電極に別々のパルスを加える場合、同じ回路をいくつも用意する必要があり、はなはだ高価なものになるという問題点があった。

【0006】

【課題を解決するための手段】本発明のプラズマディスプレイの駆動装置は、2つのNチャネル型MOSトランジスタのそれぞれのゲートどうし、ソースどうしを接続した双方向性スイッチをインダクタンスに直列に接続する高電圧パルス発生器を備えている。そして高電圧パルス発生器で作られた高電圧パルスを、複数の電極を駆動するドライバーICの高圧部共通電源端子に接続する。また前記ドライバーICが表示の有無によって選択電極数を変えるその値によって高電圧パルス発生器のトランジスタのオン時間を制御することを特徴としている。

【0007】

【実施例】次に本発明について図面を参照して説明する。図1は本発明の低電力駆動装置の一実施例を示す図で、(a)は回路図、(b)は、その動作を示すタイミング図である。第1のPチャネルMOSFET MP1をオンにすることで、NチャネルMOSFET MN3、MN4のゲートN2が立上り、MN3、MN4がオンとなって図7の共振回路が構成され出力が立上る。出力が V_0 まで立上った所でMN1をオンにしてゲートN2を立下げ、MN3、MN4をオフにして共振回路を切断すると共に、第2のPチャネルMOSFET MP2をオンにして出力を V_0 に固定する。

【0008】出力を立下げる時は、同様にしてMN3、MN4をオンにして共振回路を構成し、出力がOVまで立下がった所でMN2をオンにして出力をOVに固定する。この時、共振回路の働きにより C_L に蓄えられていた $f_0 \cdot C_L \cdot V_0^2$ のエネルギーは全て C_1 に回収される。

【0009】次に本発明を複数の電極を駆動するドライバーICに活用する一実施例のブロック図とそのタイミング図をそれぞれ図2(a)と(b)に示す。この図において、ドライバーIC21は64本の出力を持ち、そ

3

れぞれACプラズマディスプレイのカラム側電極に接続される。ドライバーIC21のシフトレジスタ24には、点灯ドットの有無によって、1, 0がゲートアレイ22から入力され、ラッチイネイブル信号によってそのデータが記憶される。

【0010】一方、低電力駆動装置23はゲートアレイ22によってタイミングを調整され、その出力はドライバーIC21の高圧部電源端子に接続される。データが1となって選択された出力では、PMOSFETがオンとなり、高圧部電源端子のパルス（低電力駆動装置の出力）が現れる。データが0となって選択されない出力では、NMOSFETがオンとなって出力はロウにクランプされる。これによって1つの低電力駆動装置によって複数の電極が駆動でき、安価なプラズマディスプレイモジュールが構成できる。

【0011】通常図2のようにデータによって選択する電極数を変えると負荷容量に当る C_L が変化するため、出力の立上り及び立下りが図5のように変化する。図3は、このような変化に追従するタイミングを作り出すゲートアレイの回路例であり、図4はその時のタイミング例である。アップカウンタ1には、ドライバーICに入力するものと同じ信号を入力し、選択する電極数をカウントする。この値はラッチ1に蓄えられ、オフセット値と加算されてダウンカウンタ1, 2に入力される。オフセット値とは、選択電極数が0の時に低電力駆動装置の出力につながる寄生容量の換算値である。Togは高電圧パルスの基本波形であり、Togの立上りによってFF1の出力aをセットしてダウンカウンタ1を始動させ、カウンタに入力されたデータ数つまりはオフセット値と選択電極数の和をカウントした後出力aをリセットする。同様にTogに立下りによってFF2の出力bはセットされ、ダウンカウンタ2によるカウント後リセットされる。このようにドライバーに入力するデータ（選択電極数）を立上り時間、立下り時間に置きかえることで、低電力駆動装置に入力するタイミングを作り出している。

【0012】

【発明の効果】以上説明したように本発明の低電力駆動装置は、共振回路のスイッチとしてNチャネルMOSFETの双方向性スイッチを使用しており、電流経路にダイオードが含まれていないため、図8のようにダイオード

4

ドの V_f によるロス無くすることができる。さらに一般にPチャネルMOSFETは同一ベレットサイズにおいてNチャネル型に比べ電流能力が小さく、同じ電流能力を得るためにはベレットサイズを大きくする必要がある。この時ドレインソース間寄生容量を増大させ、この容量の充放電は回収されないため、効率悪化の一因となっている。従来、共振回路の電流経路にPチャネルMOSFETを使用していたのに対し、本発明は電流経路にNチャネルMOSFETのみを使用しているためこの分のロスを削減することができる。

【0013】さらに従来複数の電極を駆動する場合、その電極数分だけ低電力駆動装置を必要としていたのに対し、本発明は安価なドライバーICを使用して1つの低電力駆動装置で複数の電極を駆動でき、大幅なコストダウンが可能となる。選択電極数が変わった際のタイミングの変化は、表示データに応じてタイミングを変化させることによって、余分なディスクリート部分の追加を必要とせず、余分な寄生容量の追加も避けられる。以上、本発明により安価で低電力のプラズマディスプレイの構成が可能となる。

【図面の簡単な説明】

【図1】(a), (b)は、それぞれ本発明の低電力駆動装置の回路図とタイミング図である。

【図2】(a), (b)は、それぞれドライバーICと低電力駆動装置を組合せた場合の回路図とタイミング図である。

【図3】図2の場合のタイミングを発生するゲートアレイのブロック図である。

【図4】図3の動作を説明するタイミング図である。

【図5】ドライバーICの選択電極数が変化した場合の出力波形である。

【図6】(a), (b)は、それぞれ従来の低電力駆動装置の回路図とタイミング図である。

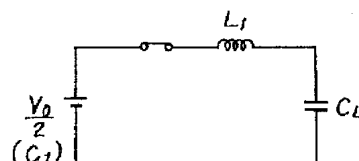
【図7】共振回路の等価回路図である。

【図8】スイッチ部の特性を比較した図である。

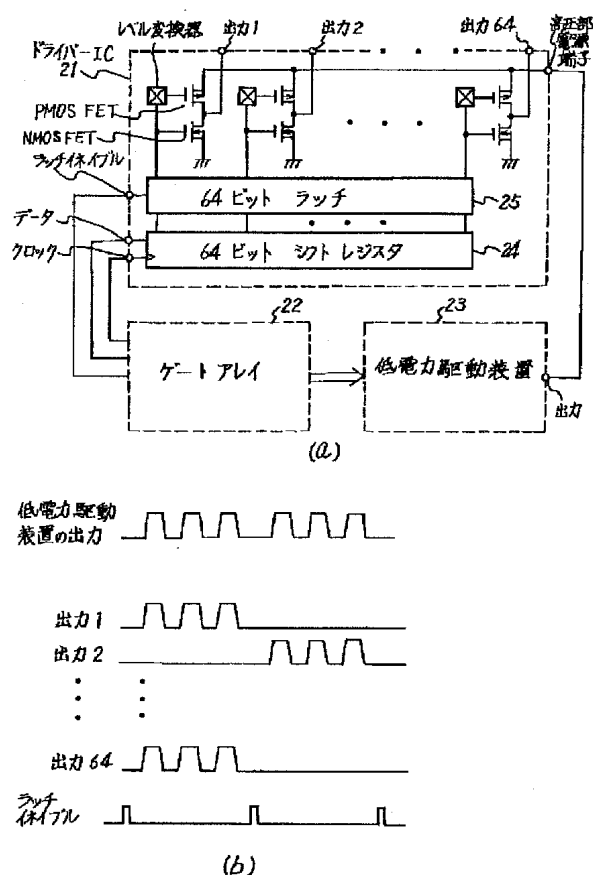
【符号の説明】

MP1, MP2 PチャネルMOSFET
MN1~MN4 NチャネルMOSFET
C1 コンデンサ
C_L 負荷容量
D1, D2 ダイオード

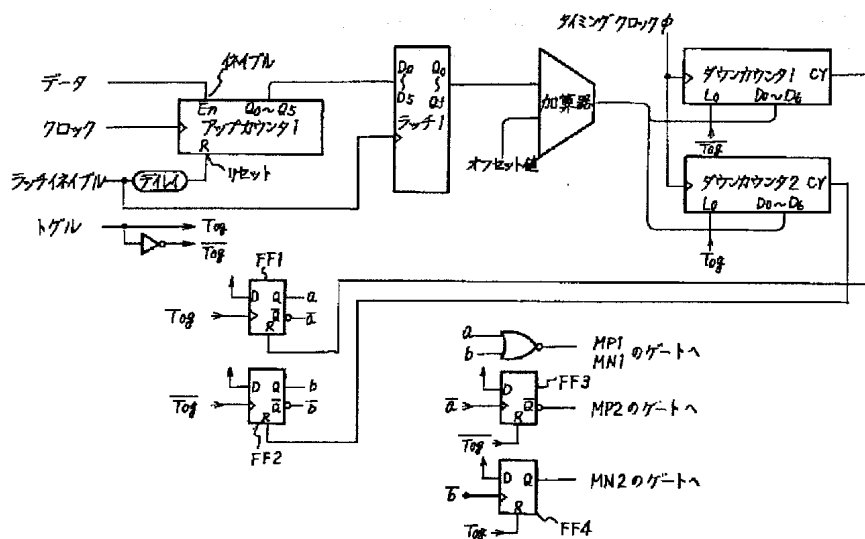
【図7】



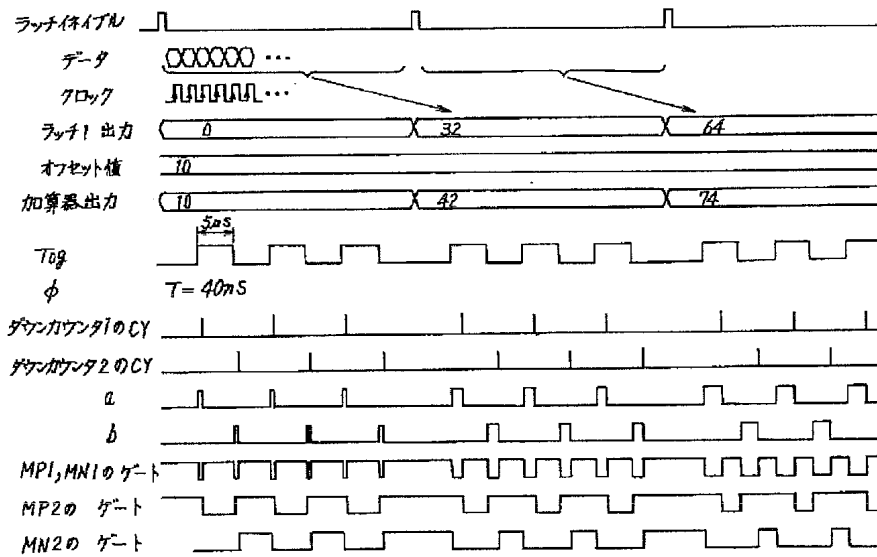
【图 2】



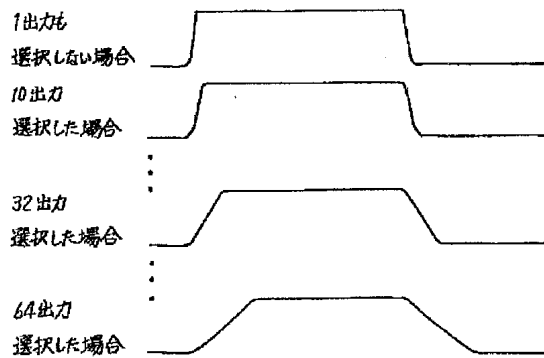
【図 3】



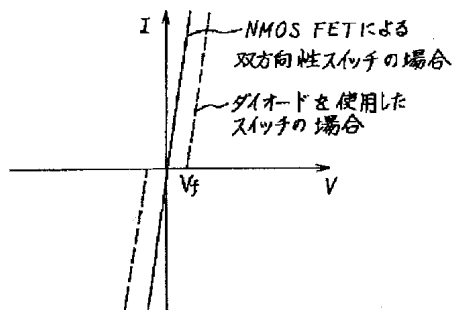
【図4】



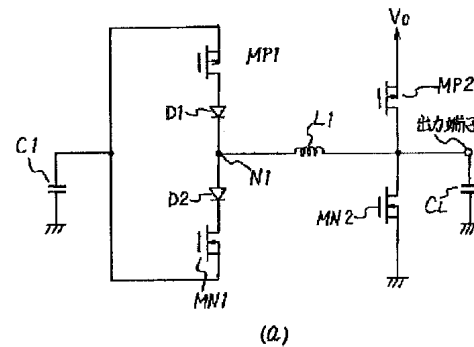
【図5】



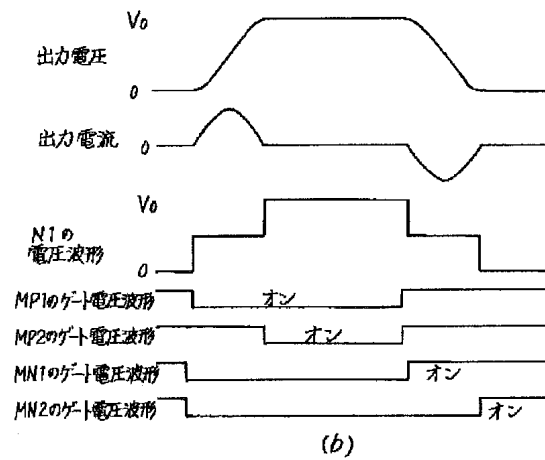
【図8】



【図6】



(a)



(b)